

Family list5 application(s) for: **JP9252132****1 Short channel field effect transistor**

Inventor: NANDAKUMAR MAHALINGAM [US] ; **Applicant:** TEXAS INSTRUMENTS INC [US]
CHATTERJEE AMITAVA [US] (+2)
EC: H01L21/336H1; H01L29/10D2B2B; (+3) **IPC:** H01L21/336; H01L29/10; H01L29/78; (+5)
Publication info: EP0768718 (A2) — 1997-04-16
EP0768718 (A3) — 1998-07-08

2 TRANSISTOR

Inventor: MAHARINGAMU NANDAKUMARU ; **Applicant:** TEXAS INSTRUMENTS INC
AMITABA CHIYATSUTERUJIEE (+2)
EC: **IPC:** H01L21/265; H01L21/336; H01L29/78; (+5)
Publication info: JP9252132 (A) — 1997-09-22

3 Semiconductor devices with super-steep retrograde and/or pocket implant and/or counter doping

Inventor: NANDAKUMAR MAHALINGAM NMI [IN] ; CHATTERJEE AMITAVA NMI [IN] (+2) **Applicant:** TEXAS INSTRUMENTS INC [US]
EC: H01L21/336H1; H01L29/10D2B2B; (+3) **IPC:** H01L21/336; H01L29/10; H01L29/78; (+4)
Publication info: TW388088 (B) — 2000-04-21

4 Semiconductor devices with pocket implant and counter doping

Inventor: NANDAKUMAR MAHALINGAM [US] ; **Applicant:** TEXAS INSTRUMENTS INC [US]
CHATTERJEE AMITAVA [US] (+2)
EC: H01L21/336H1; H01L29/10D2B2B; (+3) **IPC:** H01L21/336; H01L29/10; H01L29/78; (+6)
Publication info: US5917219 (A) — 1999-06-29

5 Semiconductor devices with pocket implant and counter doping

Inventor: NANDAKUMAR MAHALINGAM [US] ; **Applicant:** TEXAS INSTRUMENTS INC [US]
CHATTERJEE AMITAVA [US] (+2)
EC: H01L21/336H1; H01L29/10D2B2B; (+3) **IPC:** H01L21/336; H01L29/10; H01L29/78; (+4)
Publication info: US6228725 (B1) — 2001-05-08

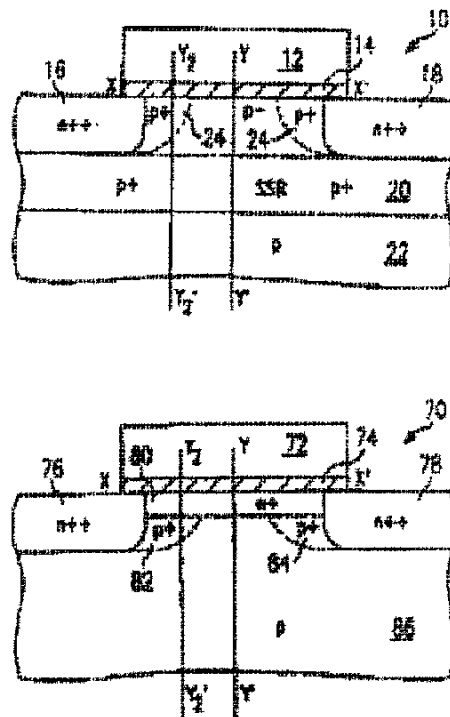
Data supplied from the **esp@cenet** database — Worldwide

TRANSISTOR

Patent number: JP9252132 (A)
Publication date: 1997-09-22
Inventor(s): MAHARINGAMU NANDAKUMARU; AMITABA CHIYATSUTERUJIEE; MAAKU ESU
 ROTSUDAA; II CHIN CHIEN
Applicant(s): TEXAS INSTRUMENTS INC
Classification:
- international: H01L21/265; H01L21/336; H01L29/78; H01L21/02; H01L29/66; (IPC1-7): H01L29/78; H01L21/265; H01L21/336
- european:
Application number: JP19960268865 19961009
Priority number(s): US19950005215P 19951009

Abstract of JP 9252132 (A)

PROBLEM TO BE SOLVED: To reduce a short channel effect by lowering a threshold voltage, and provide a sub-micron transistor with small consumption in power and good performance in speed. **SOLUTION:** A transistor includes a second conductivity-type source region 16 and a drain region 18 on a face of a semiconductor layer, and a gate 12 adjacent to the face of the semiconductor layer. The gate 12 is put in an insulated state between the source region 16 and the drain region 18. In the semiconductor layer, a first conductivity-type ultra-abrupt retrograde channel 22 is formed at a given distance from the face of the semiconductor layer. A second conductivity-type counter doping layer adjacent to the face of the semiconductor layer is formed between the source region 16 and the drain region 18. A first and a second pockets 82 of first conductivity-type can be formed additionally in a place almost adjacent to the source and drain regions 16 and 18 and a counter doping layer 80.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-252132

(43) 公開日 平成9年(1997)9月22日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 H
21/265		9277-4M	21/265	6 0 4 G
21/336			29/78	3 0 1 L
				3 0 1 P

審査請求 未請求 請求項の数 1 O L (全 8 頁)

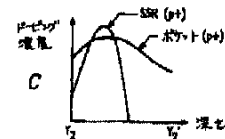
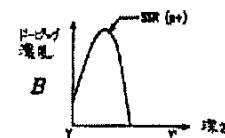
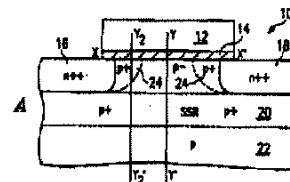
(21) 出願番号	特願平8-268865	(71) 出願人	590000879 テキサス インストルメンツ インコーポ レイテッド アメリカ合衆国テキサス州ダラス, ノース セントラルエクスプレスウェイ 13500
(22) 出願日	平成8年(1996)10月9日	(72) 発明者	マハリンガム ナンダクマル アメリカ合衆国テキサス州リチャードソ ン, ウォータービュー パークウェイ 2200, アpartment ナンバー 1522
(31) 優先権主張番号	0 0 5 2 1 5	(72) 発明者	アミタバ チャッテルジェー アメリカ合衆国テキサス州プラノ, サンタ ナ レーン 3545
(32) 優先日	1995年10月9日	(74) 代理人	弁理士 浅村 皓 (外3名)
(33) 優先権主張国	米国 (U S)		最終頁に続く

(54) 【発明の名称】 トランジスタ

(57) 【要約】

【課題】 V_T を低くすることによりショートチャンネル効果を少なくした良好な速度性能を有する小電力サブミクロントランジスタを提供すること。

【解決手段】 このトランジスタは半導体の層の面に形成された第2の導電タイプのソース領域16およびドレイン領域18と、半導体の層の面に隣接し、ソース領域とドレイン領域との間に絶縁された状態で配置されたゲート12を含む。半導体の層内にて、この半導体の層の面から所定の距離に第1の導電タイプの超急峻レトログレードチャンネル22が形成されている。半導体の層の面に隣接し、ほぼソース領域とドレイン領域との間に第2の導電タイプのカウンタードーピング層44が形成されている。ソース領域およびドレイン領域並びにカウンタードーピング層80にほぼ隣接して第1の導電タイプの第1および第2ポケット82を形成することもできる。



【特許請求の範囲】

【請求項1】 第1の導電タイプの半導体の層の一面に形成されたトランジスタであって、前記半導体の層の前記面に形成された第2の導電タイプのソース領域と、前記ソース領域から所定の距離において前記半導体の層の前記面に形成された前記第2の導電タイプのドレイン領域と、前記半導体の層の前記面に隣接し、前記ソース領域と前記ドレイン領域との間に絶縁された状態で配置されたゲートと、ほぼ絶縁ソース領域と絶縁ドレイン領域との間に前記半導体の層の前記面内およびそれに隣接して形成された前記第2の導電タイプのカウンタードーピング層と、前記ゲートのほぼ下方にて前記ソース領域および前記ドレイン領域に隣接して形成された前記第1の導電タイプの第1および第2ポケットとを備えたトランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般的には半導体デバイスの技術分野に関し、より詳細には超急峻なレトログレードチャンネルおよび／またはポケット打ち込み層および／またはカウンタードーピング層を有する半導体デバイスに関する。

【0002】

【従来技術】ポータブルなパーソナル電子装置、例えば携帯電話、ノートブックパソコン、その他の周辺機器は消費者にとって次第にポピュラーなものとなってきた。電池で作動するポータブル機器を製造しようとする現在の技術的な開発目標は、電力消費量を大幅に低減し、よって妥当な速度性能を維持しながら電池の寿命を長くすることにある。CMOSによりスタンバイ時の電力消費量を少なくするという要求は特にこのような用途に合致している。電源電圧すなわち V_{DD} を1Vまたはそれ以下に低くすることは、電力消費量を低減する上で極めて有効であるが、これにより速度に関係する性能が低下してしまう。作動速度を維持しながら電源電圧を下げるにはトランジスタのスレッシュホールド電圧、すなわち V_T も下げなければならない。このスレッシュホールド電圧は不純物濃度のより低い基板を使用することにより下げることができる。しかしながらこれによりサブミクロンデバイスでは望ましくないショートチャンネル効果が増加する。従って、低電源電圧で作動するようなサブミクロントランジスタを設計することが重要であることが理解できよう。

【0003】

【発明が解決しようとする課題】従って、 V_T を低くし、ショートチャンネル効果を少なくし、速度性能を良好にする小電力サブミクロントランジスタが望まれている。

【0004】本発明によれば、従来のトランジスタデバイスに関連した欠点を解消または実質的に少なくする、性能が改善された低スレッシュホールド電圧トランジスタが提供される。

【0005】

【課題を解決するための手段】本発明の一態様によれば、半導体の1つの面にトランジスタを形成する。このトランジスタは半導体の層の面に形成されたソース領域およびドレイン領域を含み、半導体の層の面に隣接し、かつソース領域とドレイン領域との間に絶縁された状態でゲートが配置される。ほぼソース領域とドレイン領域との間にある半導体の層の面内およびその近くにカウンタードーピング層を導入する。ソース領域および／またはドレイン領域とカウンタードーピング層とにほぼ隣接して2つのポケット打ち込み層を形成してもよい。

【0006】本発明の別の態様によれば、トランジスタを製造する方法が提供される。第1導電タイプの半導体の層の面にこのトランジスタを形成する。この方法は半導体の層の面に隣接する第2導電タイプの不純物の浅い層を選択的に打ち込む工程と、ゲートの下方でソース領域およびドレイン領域にほぼ隣接する第1導電タイプの不純物のポケットを形成する工程とを含む。半導体の層の面に接近してポケットを形成してもよく、これらポケットと半導体の層の間にカウンタードーピング層が位置する。

【0007】本発明の更に別の態様によれば、トランジスタ構造体はほぼドレイン領域とソース領域との間に形成された第2不純物タイプの表面カウンタードーピング層と、このカウンタードーピング層にほぼ隣接し、および／またはその下方に形成された第1不純物タイプのポケット打ち込み層を含む。

【0008】本発明の別の態様によれば、半導体の1つの面にトランジスタを形成する。このトランジスタは半導体の層の面に形成されたソース領域およびドレイン領域を含み、半導体の層の面に隣接し、かつソース領域とドレイン領域との間に絶縁された状態でゲートが配置される。半導体の層内の半導体の面から所定の距離に超急峻レトログレードチャンネルドーピングプロファイルが配置され、ほぼソース領域とドレイン領域との間に配置の層の面内およびその近くにカウンタードーピング層を導入する。これとは別に、またはこれと組み合わせて、ソース領域および／またはドレイン領域およびカウンタードーピング層にほぼ隣接して2つのポケット打ち込み層を形成してもよい。

【0009】本発明の別の態様によれば、トランジスタを製造する方法が提供される。第1導電タイプの半導体の層の面にこのトランジスタを形成する。この方法は半導体の層の面から下方の所定距離に急峻レトログレードチャンネルプロファイルを形成するよう、第1導電タイプの不純物を打ち込む工程と、半導体の層の面に隣接して

第2導電タイプの不純物の浅い層を選択的に打ち込む工程とを含む。これとは異なり、またこれと組み合わせ、ゲートの下方にてソース領域およびドレイン領域にほぼ隣接して第1導電タイプの不純物のポケットを打ち込む。

【0010】本発明の技術的利点は、ポータブル電子機器のためのより低い電源電圧で高性能を発揮するという要望を満たす、スレッショルド電圧の低いサブミッシュントランジスタ構造体を得られることである。このトランジスタ構造体はショートチャンネル効果を減少するとい

うこのような要望を満たすものであり、これにより、より短いチャンネル長さにおけるゲート長さのバラツキによるトランジスタの性能の影響が最小となっている。

【0011】本発明をより良好に理解するため、以下、添付図面を参照する。

【0012】

【発明の実施の態様】図1～6には本発明の好ましい実施例が示されており、種々の図面の同様な部品および対応する部品は同様な参照番号を付すこととする。

【0013】図1Aにおいて、nMOSトランジスタ構造体10はゲート電極12と、ゲート絶縁層14と、ソース n^+ 領域16およびドレイン n^+ 領域18を含む。pタイプの基板すなわち井戸構造体22内においてデバイスの頂部平面から所定の距離または深さに、更にp⁺超急峻レトログレード(SSR)チャンネル20が形成されている。この超急峻レトログレードチャンネル20を形成するため、nMOS内に、例えば $1 \times 10^{13} \text{ cm}^{-2}$ の打ち込みドーズ量で190KeVのインジウム(I_n)を打ち込むことができる。p⁺ソース領域およびp⁺ドレイン領域(いずれも図示されず)を備えたpMOSデバイスにおいて、ヒ素(As)を打ち込むことにより n^+ の超急峻レトログレードチャンネルを形成してもよい。例えばnMOSに対してホウ素(B)を使用し、pMOSに対してリン(P)を使用する従来のチャンネルドーピングプロファイルと比較すると、超急峻レトログレードチャンネルプロファイルは良好なショートチャンネルの無欠性を与えることが判っている。更にこの超急峻レトログレードチャンネルドーピングは表面ドーピングが低いことに起因し、チャンネルドーピングプロファイル移動度もより高くする。

【0014】超急峻レトログレードチャンネルプロファイル20の他にソース領域16およびドレイン領域18と逆タイプの浅いポケット打ち込み層すなわちハロ24が形成される。ポケット打ち込み層24はソース領域16およびドレイン領域18にほぼ隣接するか、および/またはこの下方に位置する。nMOSデバイスではポケット打ち込み層のために代表的なドーパント種としてホウ素を使用でき、pMOSデバイスではポケット打ち込み層を形成するのにリンを使用できる。ポケット打ち込み層を形成するのに一例として $5 \times 10^{13} \sim 2 \times 10^{13} \text{ c}$

m^{-2} の打ち込みドーズ量を使用できる。図1BはY-Y'に沿ったトランジスタ構造体10のドーピング濃度と深さとの関係をプロットしたグラフであり、図1CはY₂-Y₂'に沿ったドーピング濃度をプロットしたグラフである。更に図1DはX-X'に沿った表面ドーピング濃度をプロットしたグラフである。

【0015】超急峻レトログレードチャンネルドーピング層20およびポケット打ち込み層24の双方を有するトランジスタ構造体10は、技術論文、例えば1993年8月IEEEエレクトロニクスデバイスレターズ、第14巻第8号409頁のシャヒディ外による論文「サブマイクロメータのNMOSFETの改善されたショートチャンネル挙動のためのインジウムチャンネル打ち込み層および1994年IEEEIEDM649頁のスー他による論文「深いサブマイクロメータバルクおよびSOIMOSFETにおける電流ドライブとショートチャンネル効果との妥協」に記載された超急峻レトログレードのみのチャンネルプロファイルと比較した時、ショートチャンネル効果は小さくなっている。ポケット打ち込み方法は1994年IEEEIEDM71頁ロッダー外による論文「改善された性能および信頼性のための0.25マイクロメータゲート長さのCMOSの構造/プロセス依存性」に記載されている。トランジスタ構造体10はロッダー外論文に記載されたポケット打ち込み層を有する従来のデバイスと比較すると、より良好なショートチャンネルの無欠性も有する。

【0016】図2Aを参照すると、ここには超急峻レトログレードチャンネルプロファイルおよび浅い表面カウンタードーピング層を有するトランジスタ構造体30が示されている。このトランジスタ構造体30はゲート電極32と、ゲート絶縁膜34と、ソース n^+ 領域36と、ドレイン n^+ 領域38を有するnMOSとして示されている。pタイプの基板すなわち井戸層42内の所定深さにpタイプの超急峻レトログレード埋め込みチャンネル40が形成されている。ソース領域36とドレイン領域38との間の領域内のゲート32の下方にnタイプの(n^+)の狭い表面カウンタードーピング層44が形成されている。このカウンタードーピング層はnMOSでは $2 \sim 4 \times 10^{12} \text{ cm}^{-2}$ のドーズ量で例えばヒ素(As)にて、またはpMOS(図示せず)ではBF₃にて形成できる。図2BはY-Y'に沿ったドーピング濃度とトランジスタ構造体30の深さとの関係をプロットしたグラフあり、図2CはX-X'に沿った表面ドーピング濃度をプロットしたグラフである。カウンタードーピングについては論文、例えば1995年のVLSIテクノロジーに関するシンポジウムにおける技術論文ダイジェスト所収の、ヒサモト外による論文「選択的CVD-Wにより製造された低抵抗のT字形ゲートを備えた高性能のサブ-0.1- μm CMOS」および1995年10月の小電力エレクトロニクスに関するIEEEシンポジウムで

発表するため提出されたナンダクマール外による論文「1V小電力用の0.25 μ mゲート長のCMOSのデバイスデザインの研究」に記載されている。

【0017】超急峻レトログレードチャンネル40と表面カウンタードーピング層と44を組み合わせたトラジスタ構造体30はスレッシュホールド電圧を低下し、良好なショートチャンネル効果を維持している。カウンタードーピング層44はスレッシュホールド電圧を約0.05～0.15Vの所望の範囲までの大きさとするが、下方の超急峻レトログレードチャンネルプロフィール40はヒサモト外の論文に記載されている従来の井戸およびチャンネルプロフィールよりもスレッシュホールド電圧のロールオフを低下するのにより効果的である。トラジスタ構造体30はスレッシュホールド電圧が低くかつ有効な電子移動度 μ_{eff} が高いことにより大きな公称ドライブ電流も維持する。従って、これら特性の組み合わせにより低電源電圧CMOS用に最適な性能が得られる。

【0018】図3Aを参照すると、ここには超急峻レトログレードチャンネルプロフィールと、ポケット打ち込み層と、カウンタードーピング層とを有するトラジスタ構造体50が示されている。このトラジスタ構造体50はnMOSとして示されており、ゲート電極52と、ゲート絶縁膜54と、ソース領域56と、ドレイン領域58とを含む。基板すなわち井戸構造体62において、ソース領域56およびドレイン領域58の下方のほぼ表面部に超急峻レトログレードチャンネル60が打ち込まれている。ポケット64はソース領域56およびドレイン領域58に隣接し、表面の近くに浅い深さに打ち込まれている。打ち込まれたポケット64のほぼ間に表面カウンタードーピング層66も形成されている。図4Bには $Y-Y'$ に沿ったトラジスタ50におけるドーピング濃度と深さの関係をプロットしたグラフが示されており、図3Cには Y_2-Y_2' に沿ったドーピング濃度をプロットした別のグラフが示されている。図3Dにはトラジスタ構造体50の $X-X'$ に沿った表面ドーピング濃度をプロットしたグラフが示されている。

【0019】図4Aはカウンタードーピング層に対するポケット打ち込み層の位置の1つの可能な変形例を示す。トラジスタ50'はカウンタードーピング層66'の下方の若干準表面部にあるポケット打ち込み層64'を含む。図4Bにはトラジスタ50'における $Y-Y'$ に沿ったドーピング濃度と深さの関係をプロットしたグラフが示されており、図4Cには $X-X'$ に沿った表面ドーピング濃度が示されており、図4Dには Y_2-Y_2' に沿ったドーピング濃度が示されている。

【0020】トラジスタ構造体50および50'は超急峻レトログレードチャンネルと、ポケット打ち込み層と、表面カウンタードーピング層との利点を組み合わせたものであり、いずれもスレッシュホールド電圧が低いこと、ショートチャンネル効果が少ないことおよびドライ

ブ電流が良好であることにより、小電力用に良好に適している。

【0021】図5Aは、トラジスタ構造体70の横断面図である。このトラジスタ構造体70は、超急峻レトログレードチャンネルプロフィールとなっていないが、スレッシュホールド電圧が低く、ショートチャンネル効果が改善されている。このトラジスタ構造体70は、ゲート電極72と、ゲート絶縁膜74と、ソース n^{++} 領域76と、ドレイン n^{++} 領域78を含む。更にこのトラジスタ構造体70は逆タイプ(p')のポケット打ち込み層82、84と共に表面カウンタードーピング層80も含む。上記のように、 n' 表面カウンタードーピング層80とポケット打ち込み層82および84の設置例には多数の変形例があり、これら変形例のいずれも本発明の範囲内で可能である。図5Bおよび5Cに $Y-Y'$ 線および Y_2-Y_2' 線に沿ったトラジスタ70におけるドーピング濃度の例がそれぞれ示されている。図5Dには $X-X'$ に沿ったトラジスタ構造体70の表面ドーピング濃度の例が示されている。

【0022】図6Aは、カウンタードーピング部およびポケット打ち込み層を有する更に別のトラジスタ構造体70'の横断面図である。トラジスタ構造体70'はゲート電極72と、ゲート絶縁膜74と、ソース n^{++} 領域76と、ドレイン n^{++} 領域78とを含む。更にこのトラジスタ構造体70'は逆タイプ(p')のポケット打ち込み層82'、84'と共に n' 表面カウンタードーピング層80'も含む。上記のように、表面カウンタードーピング層80'とポケット打ち込み層82'および84'の設置例には多数の変形例があり、これら変形例のいずれも本発明の範囲内で可能である。図5Aのポケット打ち込み層82および84は、カウンタードーピング層80のほぼ下方に形成されるが、ポケット打ち込み層82'および84'は表面近くに形成される。図6Bおよび6Cには $Y-Y'$ 線および Y_2-Y_2' 線に沿ったトラジスタ70'におけるドーピング濃度の例がそれぞれ示されている。図6Dには $X-X'$ に沿ったトラジスタ構造体70'の表面ドーピング濃度の例が示されている。

【0023】トランジスタ10、30、50、50'、70および70'は従来の半導体プロセス技術により製造でき、この方法は超急峻レトログレードチャンネルと、ゲートと、ドレイン領域と、ソース領域を形成する工程を含むことができる。カウンタードーピング層はゲートを形成する前に形成してもよく、ポケット打ち込み層はゲートを形成した後に形成してもよい。

【0024】本発明の要旨に従って製造されるトランジスタ構造体はCMOS技術におけるnMOSおよびpMOSの双方に適用できる。本発明およびその利点について詳細に説明したが、添付した特許請求の範囲に記載した本発明の範囲および要旨から逸脱することなく、種々

の変更、置換および変形が可能であると理解すべきである。より詳細に説明すれば、これまで述べた化学的組成、濃度およびその他の詳細な仕様は、単に解説の例にすぎず、半導体処理技術で知られているその他の仕様と置換できることを指摘することが重要である。

【0025】以上の説明に関して、更に以下の項を開示する。

(1) 第1の導電タイプの半導体の層の一面に形成されたトランジスタであって、前記半導体の層の前記面に形成された第2の導電タイプのソース領域と、前記ソース領域から所定の距離において前記半導体の層の前記面に形成された前記第2の導電タイプのドレイン領域と、前記半導体の層の前記面に隣接し、前記ソース領域と前記ドレイン領域との間に絶縁された状態で配置されたゲートと、絶縁ソース領域と絶縁ドレイン領域とのほぼ間にて前記半導体の層の前記面内およびそれに隣接して形成された前記第2の導電タイプのカウンタードーピング層と、前記ゲートのほぼ下方にて前記ソース領域および前記ドレイン領域に隣接して形成された前記第1の導電タイプの第1および第2ポケットとを備えたトランジスタ。

【0026】(2) 第1の導電タイプの半導体の層の一面に形成されたトランジスタであって、前記半導体の層の前記面に形成された第2の導電タイプのソース領域と、前記ソース領域から所定の距離において前記半導体の層の前記面に形成された前記第2の導電タイプのドレイン領域と、前記半導体の層の前記面に隣接し、前記ソース領域と前記ドレイン領域との間に絶縁された状態で配置されたゲートと、前記半導体の層の前記面から所定距離に、前記半導体の層内に形成された前記第1の導電タイプの超急峻レトログレードチャンネルと、ほぼ絶縁ソース領域と絶縁ドレイン領域との間にて前記半導体の層の前記面内およびそれに隣接して形成された前記第2の導電タイプのカウンタードーピング層とを備えた半導体。

【0027】(3) 第1導電タイプの半導体の層(22、42、62、86)の面内に形成された小電力トランジスタ(10、30、50、50'、70、70')である。このトランジスタは半導体の層の面に形成された第2の導電タイプのソースおよびドレイン領域(16、18、36、38、56、58、76、78)と、半導体の層の面に隣接し、ソース領域とドレイン領域との間に絶縁された状態で配置されたゲート(12、32、52、72)を含む。半導体の層内にて、この半導体の層の面から所定の距離に第1の導電タイプの超急峻レトログレードチャンネル(22、42、62)が形成されている。半導体の層の面に隣接し、ほぼソース領域とドレイン領域との間に第2の導電タイプのカウンタードーピング層(44、66、66'、80、80')が形成されている。ソース領域およびドレイン領域並びに

カウンタードーピング層(80、80')にはほぼ隣接して第1の導電タイプの第1および第2ポケット(82、84、82'、84')を形成することもできる。

【図面の簡単な説明】

【図1】Aは超急峻レトログレードチャンネルおよびポケット打ち込み層を有するトランジスタ構造体の横断面図である。Bは図1Aに示された、Y-Y'に沿ったトランジスタ構造体のドーピング濃度と深さとの関係をプロットしたグラフである。Cは図1Aに示されたトランジスタ構造体における、Y-Y'に沿ったドーピング濃度と深さとの関係をプロットしたグラフである。Dは図1Aに示されたトランジスタ構造体の表面X-X'に沿ったドーピング濃度をプロットしたグラフである。

【図2】Aは超急峻レトログレードチャンネルおよびカウンタードーピング層を有するトランジスタ構造体の横断面図である。Bは図2Aに示された、Y-Y'に沿った超急峻レトログレードチャンネルおよびカウンタードーピング層を有するトランジスタ構造体のドーピング濃度と深さとの関係をプロットしたグラフである。Cは図2Aに示されたトランジスタ構造体の表面X-X'に沿ったドーピング濃度をプロットしたグラフである。

【図3】Aは超急峻レトログレードチャンネル、ポケット打ち込み層およびカウンタードーピング層を有するトランジスタ構造体の横断面図である。Bは図3Aに示された、Y-Y'に沿ったトランジスタ構造体のドーピング濃度と深さとの関係をプロットしたグラフである。Cは図3Aに示されたトランジスタ構造体における、Y₂-Y₂'に沿ったドーピング濃度と深さとの関係をプロットしたグラフである。Dは図3Aに示されたトランジスタ構造体の表面X-X'に沿ったドーピング濃度をプロットしたグラフである。

【図4】Aは超急峻レトログレードチャンネル、ポケット打ち込み層およびカウンタードーピング層を有する別のトランジスタ構造体の横断面図である。Bは図4Aに示された、Y-Y'に沿ったトランジスタ構造体のドーピング濃度と深さとの関係をプロットしたグラフである。Cは図4Aに示されたトランジスタ構造体の表面X-X'に沿ったドーピング濃度をプロットしたグラフである。Dは図4Aに示されたトランジスタ構造体の、Y₂-Y₂'に沿ったドーピング濃度と深さとの関係をプロットしたグラフである。

【図5】Aはポケット打ち込み層およびカウンタードーピング層を有するトランジスタ構造体の横断面図である。Bは図5Aに示された、Y-Y'に沿ったトランジスタ構造体のドーピング濃度と深さとの関係をプロットしたグラフである。Cは図5Aに示されたトランジスタ構造体における、Y₂-Y₂'に沿ったドーピング濃度と深さとの関係をプロットしたグラフである。Dは図5Aに示されたトランジスタ構造体の表面X-X'に沿ったドーピング濃度をプロットしたグラフである。

【図6】Aはポケット打ち込み層およびカウンタードーピング層を有する別のトランジスタ構造体の横断面図である。Bは図6Aに示された、Y-Y'に沿ったトランジスタ構造体のドーピング濃度と深さとの関係をプロットしたグラフである。Cは図6Aに示されたトランジスタ構造体における、Y₂-Y₂'に沿ったドーピング濃度と深さとの関係をプロットしたグラフである。Dは図6Aに示されたトランジスタ構造体の表面X-X'に沿ったドーピング濃度をプロットしたグラフである。

【符号の説明】

10、30、50、50'、70、70' 小電力トラ*

*ンジスタ

12、32、52、72

ゲート

16、36、56、76

ソース領域

18、38、58、78

ドレイン領域

域

20、22、42、62

超急峻レト

ログレードチャンネル

44、66、66'、80、80'

カウンタ-

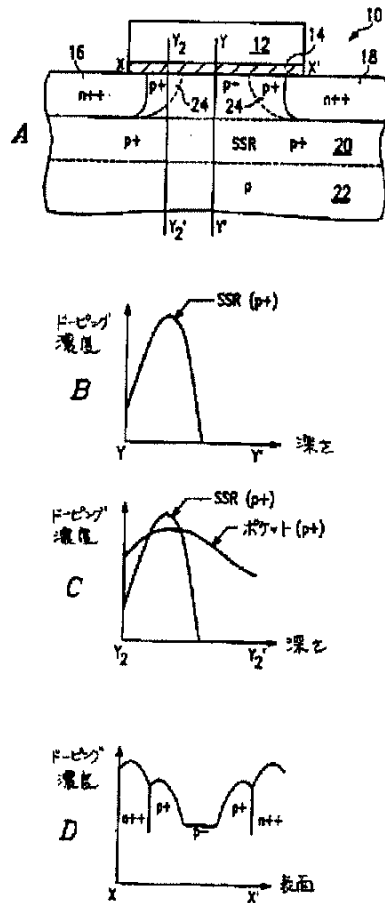
ドーピング層

10

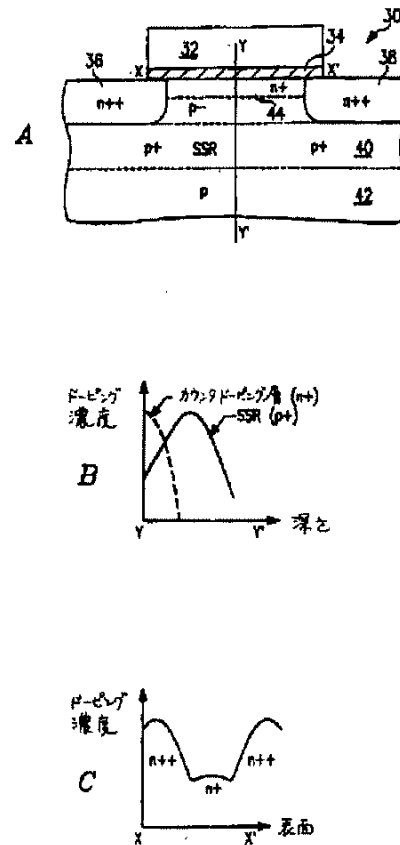
82、84、82'、84'

ポケット

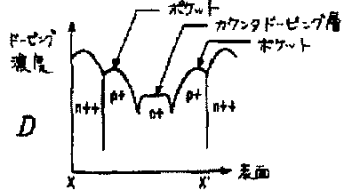
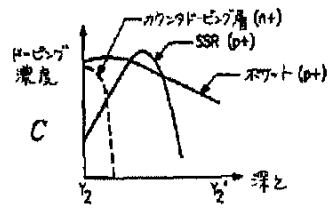
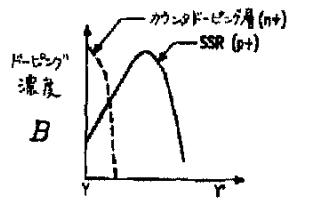
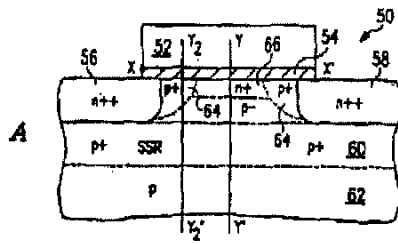
【図1】



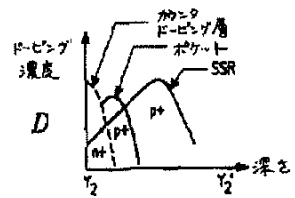
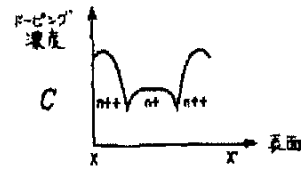
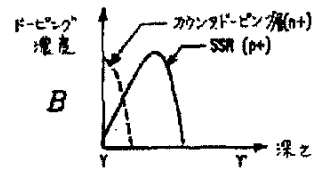
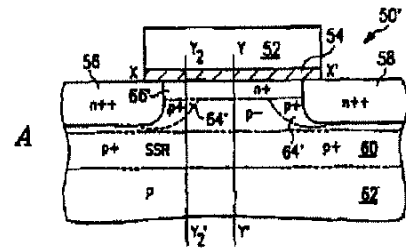
【図2】



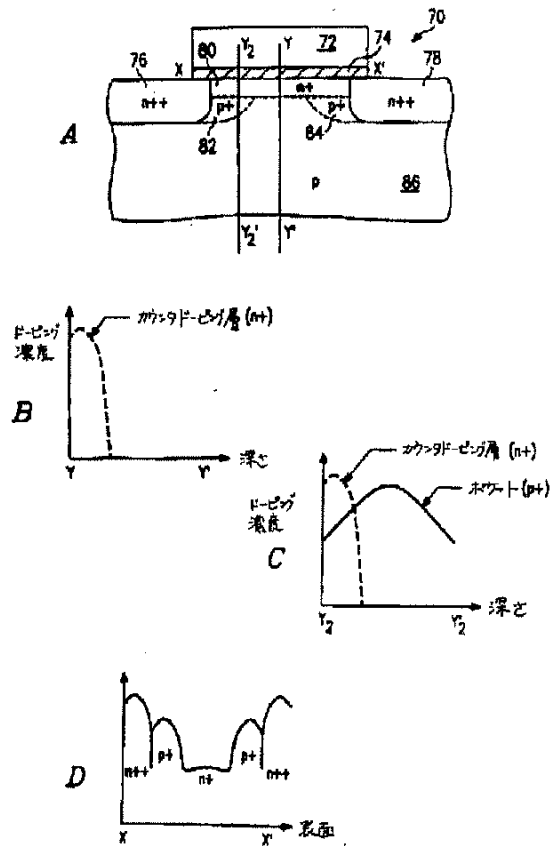
【図 3】



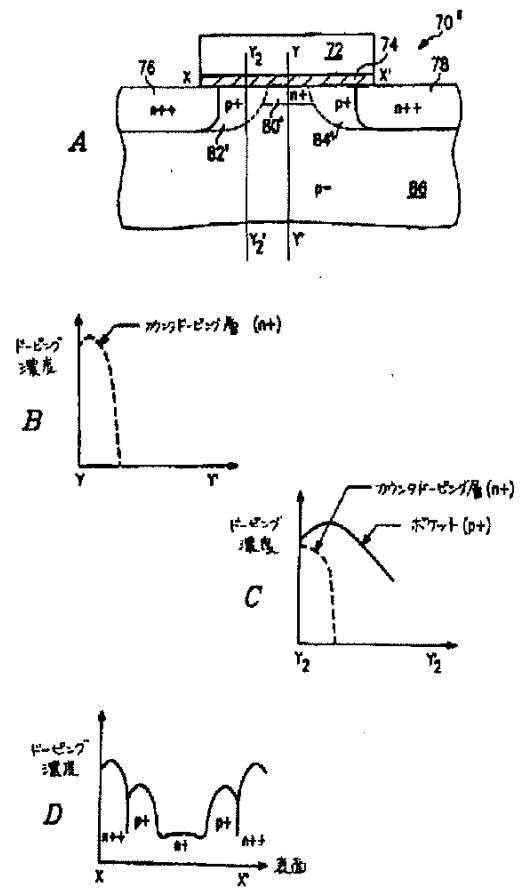
【图 4】



【図 5】



【図 6】



フロントページの続き

(72)発明者 マーク エス. ロッダー
アメリカ合衆国テキサス州ダラス, パーデ
ュー ストリート 3317

(72)発明者 イー — チン チェン
アメリカ合衆国テキサス州リチャードソ
ン, フォックスボロ ドライブ 3100